

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication

010029286 A

number:

(43) Date of publication of application:

06.04.2001

(21) Application number: 990042035

(71) Applicant:

SAMSUNG ELECTRONICS  
CO., LTD.

(22) Date of filing: 30.09.1999

(72) Inventor:

YOON, HONG IL

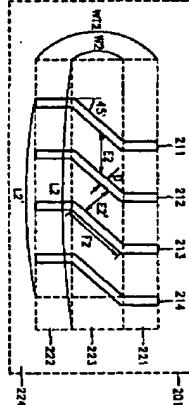
(51) Int. Cl

H01S 3/00

## (54) SEMICONDUCTOR MEMORY DEVICE WITH MANY LASER FUSES

## (57) Abstract:

PURPOSE: A semiconductor memory device with many laser fuses is provided to reduce size of the device by decreasing the areas and width of laser fuses, and to enhance the confidence and production throughput by increasing vertical gaps of laser fuses and lowering the damage percentage of adjacent laser fuses.



특 2001-0029286

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

<b>(51) Int. Cl.<sup>6</sup></b> <b>HO1S 3/00</b>	<b>(11) 공개번호</b>	<b>특2001-0029286</b>
	<b>(43) 공개일자</b>	2001년04월06일
(21) 출원번호	10-1999-0042035	
(22) 출원일자	1999년09월30일	
(71) 출원인	삼성전자 주식회사 윤증용 경기 수원시 팔달구 매탄3동 416	
(72) 발명자	윤홍일	
(74) 대리인	서울특별시도봉구도봉2동한산아파트111동909호 미영필, 정상빈, 곽덕영	
<b>설명구 : 있음</b>		
<b>(54) 다수개의 레이저 퓨즈들을 구비하는 반도체 메모리 장치</b>		

**요약**

본 발명은 다수개의 레이저 퓨즈들을 구비하는 반도체 메모리 장치에 관한 것으로, 반도체 메모리 장치는 다수개의 레이저 퓨즈들을 구비하고, 다수개의 레이저 퓨즈들은 다수개의 레이저 퓨즈들의 일단들이 포함되는 제1 영역과 다수개의 레이저 퓨즈들의 탄단들이 포함되는 제2 영역 및 다수개의 퓨즈들이 풀침되는 풀침 영역으로 구분되고, 풀침 영역에 포함되는 레이저 퓨즈들은 상기 제1 영역 및 제2 영역에 포함되는 레이저 퓨즈들과 소정 각도를 갖도록 경사지게 형성됨으로써 퓨즈 영역의 면적 및 죽이 감소된다.

**도표도****도2****설명서****도면의 간단한 설명**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 반도체 메모리 장치에 구비되는 레이저 퓨즈 박스를 도시한 도면.

도 2는 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 레이저 퓨즈 박스를 도시한 도면.

도 3은 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 레이저 퓨즈 박스를 도시한 도면.

도 4는 본 발명에 따른 레이저 퓨즈를 적용하는 반도체 메모리 장치의 일부를 도시한 불특도.

**발명의 실세한 설명****설명의 목적****설명의 속하는 기술 및 그 도달의 종류기술**

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 레이저 퓨즈 박스를 갖는 반도체 메모리 장치에 관한 것이다.

반도체 메모리 장치는 그 제조가 완료되면 규정대로 동작하는지를 판별하기 위해 여러 가지 테스트 파라미터(Parameter)들을 이용하여 테스트된다. 여러 가지 테스트 파라미터를 중 하나라도 불량이 되면 반도체 메모리 장치는 폐기처분된다. 그런데, 디미터를 저장하는 노말 메모리 셀(Normal Memory Cell)을 다수개 구비하는 반도체 메모리 장치는 테스트하는 과정에서 상기 노말 메모리 셀을 중 일부가 불량인 경우에는 상기 불량인 메모리 셀은 리던던시(Redundancy) 메모리 셀로 대체될 수가 있다. 그러면, 반도체 메모리 장치는 정상적으로 동작할 수가 있다. 노말 메모리 셀과 리던던시 메모리 셀들은 퓨즈들을 통해 반도체 메모리 장치의 제어 회로들과 연결된다. 이와 같이, 불량 메모리 셀이 발생할 경우 상기 불량 메모리 셀에 연결된 퓨즈는 오픈(open)되고, 그 대신 리던던시 메모리 셀이 연결됨으로써 반도체 메모리 장치는 폐기되지 않고 정상적으로 동작하게 된다.

고집적 메모리를 갖는 반도체 메모리 장치는 그 제조 가격이 매우 높기 때문에 하나라도 불량이 발생하면 손실이 크다. 때문에 리던던시 메모리 셀들을 구비하여 불량 메모리 셀들을 대체하는 것이다. 반도체 메모리 장치에 이용되는 퓨즈로는 과전류에 의해 절단되는 전기 퓨즈(Electrical Fuse), 레이저 빔(Laser Beam)에 의해 절단되는 레이저 퓨즈(Laser Fuse) 등이 있다. 이 중에 절단 방법이 단순하고 확실하며 설계도 용이한 레이저 퓨즈가 널리 이용되고 있다. 전기 퓨즈는 EEPROM(Electrical Erasable Programmable

록 2001-0029286

Read Only Memory) 반도체 메모리 장치에 주로 이용되며, 레이저 퓨즈는 DRAM(Dynamic Random Access Memory) 계열에 많이 이용된다.

도 1은 증래의 반도체 메모리 장치에 구비되는 레이저 퓨즈 박스를 도시한 도면이다. 도 1을 참조하면, 증래의 반도체 메모리 장치(101)에 이용되는 레이저 퓨즈들(111~114)은 일정한 폭(0)과 간격(space)(E1)을 가지고 있으며, 레이저 퓨즈들(111~114)은 레이저 빔에 의해 퓨징(fusing)되는 퓨징 영역(121)을 가지고 있다. 레이저 퓨즈들(111~114)은 퓨징 영역(121)의 길이(L1) 방향에 대해 직각을 이루고 있다.

도 1에 도시된 바와 같이 레이저 퓨즈들(111~114)이 퓨징 영역(121)의 길이(L1) 방향에 대해 직각을 이루고 있기 때문에 퓨징 영역(121)이 감소되는데는 한계가 있다. 퓨징 영역(121)이 감소되지 않음으로 인하여 반도체 메모리 장치(101)에 이용되는 폭(0)과 그 영향을 이루는 레이저 퓨즈들(111~114)이 퓨징 영역(121)의 길이(L1) 방향에 대해 직각을 이루는 상태에서 퓨징 영역(121)을 감소시키기 위해서는 레이저 스푏 사이즈(laser spot size)가 적어져야 하는데, 이것은 쉽게 해결될 수 있는 일이 아니다. 따라서, 반도체 메모리 장치(101)의 크기를 감소시키기 위한 한가지 방법으로 퓨징 영역(121)의 면적을 감소시킬 수 있는 방법이 요구되고 있다.

또한, 미국 특허(#5,747,869)에서는 레이저 퓨즈들(101~103, 101'~103')은 폭이 증은 단립(101a~103a)과 폭이 넓은 단립(101b~103b)을 가지고 있다. 이 중에서 레이저 퓨즈들(101~103, 101'~103')이 퓨징되는 폭은 폭이 넓은 단립(101b~103b)이며, 폭이 넓은 단립(101b~103b)은 퓨징에 필요한 소정의 길이를 가지고 있어야 한다. 이로 인하여 레이저 퓨즈들(101~103, 101'~103')의 길이가 길어지므로 퓨징 영역의 폭은 감소되지 않는다.

#### 본 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 퓨징 영역의 폭이 감소되는 다수개의 레이저 퓨즈들을 구비하는 반도체 메모리 장치를 제공하는 것이다.

#### 본 발명의 구성 및 작용

상기 기술적 과제를 해결하기 위하여 본 발명은,

반도체 메모리 장치에 있어서, 상기 반도체 메모리 장치는 다수개의 레이저 퓨즈들을 구비하고, 상기 다수개의 레이저 퓨즈들은 상기 다수개의 레이저 퓨즈들의 탄단들이 포함되는 제1 영역과 상기 다수개의 레이저 퓨즈들의 탄단들이 포함되는 제2 영역 및 상기 다수개의 레이저 퓨즈들이 포함되는 퓨징 영역으로 구분되고, 상기 퓨징 영역에 포함되는 레이저 퓨즈들은 상기 제1 영역 및 제2 영역에 포함되는 레이저 퓨즈들과 소정 각도를 갖도록 경사진 것을 특징으로 하는 반도체 메모리 장치를 제공한다.

바람직하기는, 상기 퓨징 영역에 포함되는 레이저 퓨즈들의 수직 간격은 상기 제1 영역과 제2 영역에 포함되는 레이저 퓨즈들의 수직 간격보다 더 좁으며, 상기 레이저 퓨즈들은 콜리실리콘 또는 메탈로 형성된다.

바람직하기는, 또한, 상기 퓨징 영역에 포함되는 레이저 퓨즈들은 서로 평행하고, 상기 제1 영역에 포함되는 레이저 퓨즈들과 상기 제2 영역에 포함되는 레이저 퓨즈들은 서로 평행하게 배열된다.

상기 본 발명에 의하여 레이저 퓨즈들의 퓨징 영역의 폭이 감소된다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

미하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 레이저 퓨즈 박스를 도시한 도면이고, 도 3은 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 레이저 퓨즈 박스를 도시한 도면이다. 도 2를 참조하면, 반도체 메모리 장치(201)는 레이저 퓨즈들(211~214)을 구비하고, 제1 영역(221), 제2 영역(222), 퓨징(fusing) 영역(223) 및 주변 영역(224)으로 구분된다. 도 3을 참조하면, 반도체 메모리 장치(201)는 레이저 퓨즈들(211~214)을 구비하고, 제1 영역(321), 제2 영역(322), 퓨징 영역(323) 및 주변 영역(324)으로 구분된다. 제1 영역(221, 321)에는 레이저 퓨즈들(211~214)의 탄단들이 포함되고, 제2 영역(222, 322)에는 레이저 퓨즈들(211~214)의 탄단들이 포함된다. 퓨징 영역(223, 323)에는 레이저 빔에 의하여 퓨징되는 레이저 퓨즈들(211~214)이 포함된다. 도 2에서 퓨징 영역(223)에 포함되는 레이저 퓨즈들(211~214)은 제1 및 제2 영역(221, 222)에 포함되는 레이저 퓨즈들(211~214)과 45°의 각도를 이루며, 도 3에서 퓨징 영역(323)에 포함되는 레이저 퓨즈들(211~214)은 제1 및 제2 영역(321, 322)에 포함되는 레이저 퓨즈들(211~214)과 70°의 각도를 이룬다.

도 2 및 도 3에 도시된 바와 같이 퓨징 영역들(223, 323)에 포함되는 레이저 퓨즈들(211~214)이 제1 영역들(221, 321) 및 제2 영역들(222, 322)에 포함되는 레이저 퓨즈들(211~214)과 소정의 각도를 이루고, 동시에 상기 퓨징 영역들(223, 323)이 상기 레이저 퓨즈들(211~214)의 중앙 부분에 위치하게 되어 퓨징 영역의 면적 및 폭들(W1, W2, W3)이 같아진다. 구체적으로, 도 1 내지 도 3에서 퓨징 영역들(121, 223, 323) 내의 퓨즈 길이들(F1, F2)이 동일하고, 인접 퓨즈간 수직 간격들(E1, E2, E3)이 동일할 경우 즉(F1=F2)이고, (E1=E2=E3)일 경우, 도 1에 도시된 퓨징 영역(121)의 면적(X1)과 도 2 및 도 3에 도시된 퓨징 영역들(223, 323)의 면적들(X2, X3)은 다음과 같다. 여기서, 면적들(X1, X2, X3)을 보다 명확하게 비교하기 위하여 도 1에 도시된 퓨징 영역(121)의 퓨즈 길이(F1)는 7(μm)이고, 퓨징 영역(121)의 길이(L1)는 200(μm)라고 가정한다. 그러면,

$$X1 = W1 \times L1 = E1 \cdot F1 = 7(\mu m) \times 200(\mu m) = 1400(\mu m)^2$$

2001-0029286

$$\begin{aligned}
 X2 &= F2 \times L2 = F2 \cos \theta \times (L1 + F2 \sin \theta) \\
 &= 7 \cos 45^\circ \times (200 + 7 \sin 45^\circ) = 1014[\mu\text{m}^2] \\
 X3 &= F3 \times L3 = F2 \cos \theta \times (L1 + F2 \sin \theta) \\
 &= 7 \cos 70^\circ \times (200 + 7 \sin 70^\circ) = 495[\mu\text{m}^2]
 \end{aligned}$$

이다. 수학식 1 내지 3에 나타낸 바와 같이 도 1에 도시된 퓨징 영역(121)의 면적( $X1$ )은  $1400[\mu\text{m}^2]$ 인데 반해 도 2 및 도 3에 도시된 퓨징 영역들(223, 323)의 면적들( $X2, X3$ )은 각각  $1014[\mu\text{m}^2]$  와  $495[\mu\text{m}^2]$ 로 감소된다. 이것은 곧, 퓨징 영역들(223, 323)에 포함되는 레이저 퓨즈의 부분들(211~214)이 제1 영역(221) 및 제2 영역(222)에 포함되는 레이저 퓨즈의 부분들(211~214)과 소정 각도를 이용으로써 퓨징 영역들(223, 323)의 면적들( $X2, X3$ )이 퓨징 영역(121)에 비해 대폭적으로 감소된다는 것을 나타낸다.

만일 도 1과 도 2에서 ( $F1=F2$ )이고 ( $E1 < E2$ )일 경우, 도 1 및 도 2에 도시된 퓨징 영역들(121, 223)에 포함되는 퓨징 면적들( $X1', X2'$ )은 다음과 같다.

$$X1' = F1 \times L1' = F1 \times L1 = F1(N-1)(D-E1).$$

$$X2' = F2 \times L2' = F2 \cos \theta \times \{(N-1)(D + \frac{E}{\cos \theta}) + \frac{E}{\cos \theta}\}$$

이다.

수학식 4와 5를 비교하여 면적( $X2'$ )이 면적( $X1'$ )보다 적게 되려면, 즉, ( $X2' < X1'$ )로 되려면, 다음 수학식 6과 같이 되어야 한다.

$$F2 \cos \theta \times \{(N-1)(D + \frac{E2'}{\cos \theta}) + \frac{E2'}{\cos \theta}\} < F1(N-1)(D-E1)$$

$$= \cos \theta \times \{(D + \frac{E2'}{\cos \theta}) + (\frac{E2'}{\cos \theta}) \cdot (\frac{1}{N-1})\} < (D-E1)$$

$$= (D \cos \theta + E + \frac{E2'}{N-1}) < (D-E1)$$

$$= (D \cos \theta + E + \frac{E2'}{N-1}) < 0$$

수학식 6에서 퓨즈의 수( $N$ )가 증가하고 퓨즈간의 수직 간격( $E2'$ ) 및 각도( $\theta$ )가 줄어들수록 면적( $X2'$ )은 면적( $X1'$ )에 비해 절절 더 감소된다.

퓨징 영역들(223, 323)에 포함되는 레이저 퓨즈들(211~214)이 제1 영역들(221, 321) 및 제2 영역들(222, 322)에 포함되는 레이저 퓨즈들(211~214)과 소정 각도를 이용으로써 퓨징 영역들(223, 323)의 폭들( $W2, W3$ )은 감소되지만 퓨징 영역들(223, 323)의 길이들( $L2, L3$ )은 증가한다. 그러나, 동일한 디자인 풀(design rule)을 적용할 경우 퓨징 영역들(223, 323)의 길이들( $L2, L3$ )의 증가는 허용될 수 있다. 따라서, 퓨징 영역들(223, 323)의 폭들( $W2, W3$ )이 감소될 때 따라 반도체 메모리 장치(201)의 디자인 풀이 보다 효과적일 수 있다.

레이저 퓨즈들(211~214)의 폭들( $D$ )과 평행 간격들( $E2, E3$ )은 레이저 빔의 레이저 스푼 사이즈(spot size)에 의해 결정된다. 즉, 레이저 퓨즈들(211~214)의 폭들( $D$ )과 평행 간격들( $E2, E3$ )은 레이저 스푼 사이즈가 작으면 작을수록 줄어들 수가 있다. 레이저 퓨즈들(211~214)의 폭들( $D$ )과 평행 간격들( $E2, E3$ )은 퓨징 시 안정한 레이저 퓨즈들이 순상을 받지 않는 범위 내에서 최소한의 크기로 설계된다.

레이저 퓨즈들(211~214)은 폴리실리콘(polySilicon)이나 매탈(metal)로 형성된다. 제1 영역들(221, 321)과 제2 영역들(222, 322) 및 주변 영역들(224, 324)은 절연막, 예컨대 산화막 또는 질화막으로 덮이고, 퓨징 영역들(223, 323)은 퓨징 영역들(223, 323)에 포함되는 레이저 퓨즈들(211~214)이 레이저 빔(laser beam)에 의해 용이하게 절단될 수 있도록 절연막으로 덮이지 않는다. 주변 영역들(224, 324), 제1 영역들(221, 321), 제2 영역들(222, 322) 및 퓨징 영역들(223, 323)은 반도체 메모리 장치(201)의 내부 소자들과 레이저 퓨즈들(211~214)을 외계 분위기로부터 차단하기 위하여 비활성화층(Passivation Layer), 예컨대 폴리아이드(polyimide)로 피복된다.

도 2 및 도 3에서는 4개의 레이저 퓨즈들(211~214)만 도시되어있으나, 실제로는 반도체 메모리 장치(201)는 많은 수의 레이저 퓨즈들을 구비할 수 있다.

도 4는 본 발명에 따른 레이저 퓨즈를 적용하는 반도체 메모리 장치(201)의 일부를 도시한 블록도이다. 도 4를 참조하면, 반도체 메모리 장치(201)는 디코더(411), 노말 디코더 드라이버(Normal decoder Driver)(421), 노말 메모리 셀 어레이(Normal Memory Cell Array)(431), 스파어(spare) 디코더 드라이버(423), 및 리던던시 메모리 셀 어레이(433)를 구비한다. 노말 디코더 드라이버(421)는 제1 레이

2001-0029286

제 퓨즈(211)와 제1 워드라인(441)을 통해서 노말 메모리 셀 머레이(431)에 연결되고, 스페어 디코더 드 라이버(423)는 제2 레이저 퓨즈(212)와 제2 워드라인(443)을 통해서 리던던시 메모리 셀 머레이(433)에 연결된다. 제조가 완료된 반도체 메모리 장치(201)는 정상적으로 동작하는지를 확인하기 위하여 테스트 된다. 상기 테스트 과정에서 제1 워드라인(441)에 연결된 노말 메모리 셀들이 모두 정상적으로 동작할 경우, 제2 레이저 퓨즈(212)는 절단되어 외부 데이터는 노말 메모리 셀 머레이(431)에 저장된다. 만일 상기 테스트 과정에서 제1 워드라인(441)에 연결된 노말 메모리 셀을 중 일부가 정상적으로 동작하지 않을 경우, 제1 레이저 퓨즈(211)가 절단된다. 따라서, 디코더(411)는 외부 어드레스(A1)에 의해 제1 워드라인(441)이 선택될 경우 스페어 디코더 드라이버(423)를 통해 제2 워드라인(443)을 활성화시키며, 그에 따라 제1 워드라인(441)에 연결된 메모리 셀들에 저장된 데이터는 제2 워드라인(443)에 연결된 메모리 셀들에 저장된다.

도 4에서는 설명의 편의상 2개의 워드라인(441, 443)을 이용하여 반도체 메모리 장치(201)의 동작을 개략적으로 설명하였으나 반도체 메모리 장치(201)는 다수개의 워드라인들을 구비하여 그에 따라 레이저 퓨즈(211, 212)도 다수개가 구비된다. 또한, 상기 다수개의 레이저 퓨즈들은 반도체 메모리 장치(201)의 여러 가지 다른 회로에도 적용될 수 있다.

도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 미는 단지 본 발명을 설명하기 위한 목적에서 사용된 것인지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 설명의 흐름

상술한 바와 같이 본 발명에 따르면, 레이저 퓨즈들(211~214)의 면적들(X2, X3)과 폭들(W2, W3)이 감소되기 때문에 레이저 퓨즈들(211~214)을 다수개 구비하는 반도체 메모리 장치(201)의 크기가 감소될 수가 있다. 또한, 퓨징 영역들(223, 323)에 포함되는 레이저 퓨즈들(211~214)의 수직 간격들(E2', E3')이 증가되므로 퓨징시 인접한 레이저 퓨즈들이 손상을 받을 확률이 더욱 낮아지게 된다. 그로 인하여 반도체 메모리 장치(201)의 신뢰도와 생산성(productivity throughput)이 향상된다.

#### (57) 청구의 쟁위

청구항 1. 반도체 메모리 장치에 있어서,

상기 반도체 메모리 장치는 다수개의 레이저 퓨즈들을 구비하고,

상기 다수개의 레이저 퓨즈들은 상기 다수개의 레이저 퓨즈들의 일단들이 포함되는 제1 영역과 상기 다수개의 레이저 퓨즈들의 타단들이 포함되는 제2 영역 및 상기 다수개의 퓨즈들이 퓨징되는 퓨징 영역으로 구분되고,

상기 퓨징 영역에 포함되는 레이저 퓨즈들은 상기 제1 영역 및 제2 영역에 포함되는 레이저 퓨즈들과 소정 각도를 갖도록 정사진 것을 특징으로 하는 반도체 메모리 장치.

청구항 2. 제1항에 있어서, 상기 퓨징 영역에 포함되는 레이저 퓨즈들의 수직 간격은 상기 제1 영역과 제2 영역에 포함되는 레이저 퓨즈들의 수직 간격보다 더 좁은 것을 특징으로 하는 반도체 메모리 장치.

청구항 3. 제1항에 있어서, 상기 퓨징 영역에 포함되는 레이저 퓨즈들은 서로 평행한 것을 특징으로 하는 반도체 메모리 장치.

청구항 4. 제1항에 있어서, 상기 제1 영역에 포함되는 레이저 퓨즈들과 상기 제2 영역에 포함되는 레이저 퓨즈들은 서로 평행한 것을 특징으로 하는 반도체 메모리 장치.

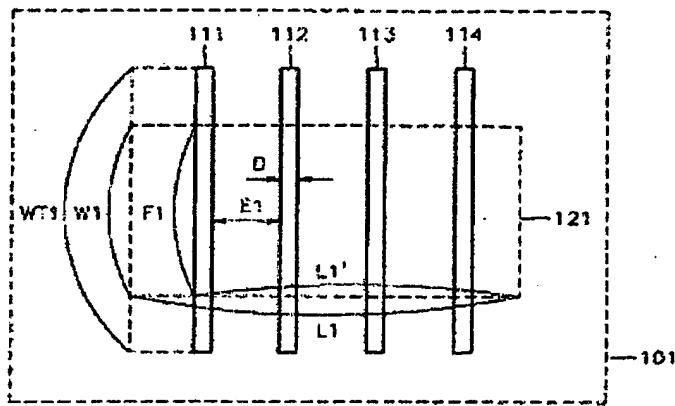
청구항 5. 제1항에 있어서, 상기 레이저 퓨즈들은 폴리실리콘과 메탈 중 하나로 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6. 제1항에 있어서, 상기 레이저 퓨즈들은 노말 메모리 셀을 중 일부가 불량일 경우 상기 불량인 일부의 노말 메모리 셀들을 리던던시 메모리 셀들로 대체하는 데 미용되는 것을 특징으로 하는 반도체 메모리 장치.

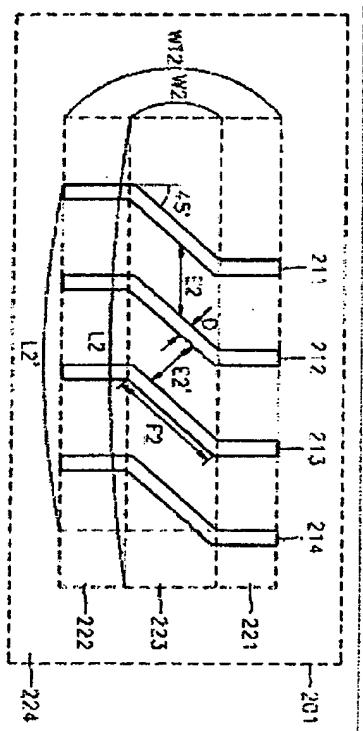
#### 도면

2001-0029286

581



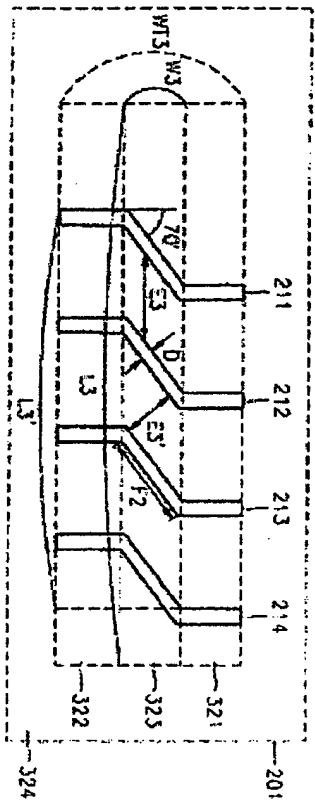
582



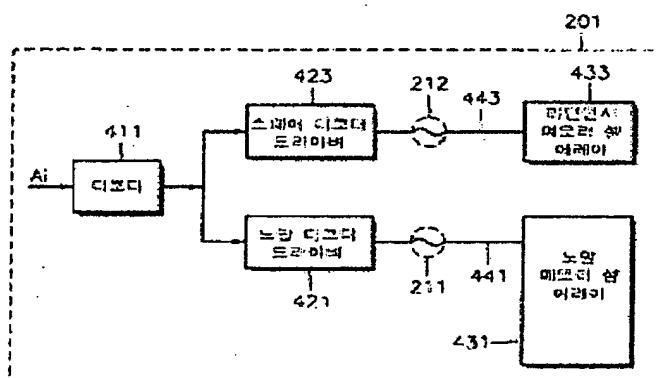
6-5

2001-0029286

도면 9



도면 10



6-6